



MICROCHIP

注意：この日本語版文書は参考資料としてご利用ください。
最新情報は必ずオリジナルの英語版をご参照願います。

セクション 5. フラッシュ プログラミング

ハイライト

本セクションには以下の主要項目を記載しています。

5.1	はじめに.....	5-2
5.2	制御レジスタ	5-3
5.3	実行時自己プログラミング (RTSP) 動作.....	5-10
5.4	ロック機能.....	5-11
5.5	ワード書き込みシーケンス.....	5-13
5.6	ダブルワード書き込みシーケンス	5-13
5.7	行書き込みシーケンス	5-14
5.8	ページ消去シーケンス	5-15
5.9	プログラム フラッシュメモリ消去シーケンス	5-15
5.10	省電力モードおよびデバッグモード中の動作	5-16
5.11	各種リセットの影響.....	5-16
5.12	割り込み.....	5-17
5.13	関連アプリケーション ノート	5-18
5.14	改訂履歴.....	5-19

Note: ファミリ リファレンス マニュアルの本セクションは、デバイス データシートの内容の補足を目的としています。本セクションの内容は、PIC32 ファミリの一部のデバイスには対応していません。

本書の内容がお客様のご使用になるデバイスに対応しているかどうかは、最新デバイス データシート内の「フラッシュ プログラムメモリ」の冒頭に記載している注意書きをご確認ください。

デバイス データシートとファミリ リファレンス マニュアルの各セクションは、Microchip 社のウェブサイト (<http://www.microchip.com>) からダウンロードできます。

5.1 はじめに

本書では、フラッシュメモリのプログラミング方法について説明します。PIC32 はユーザコードの実行用にフラッシュメモリを内蔵しています。このメモリは、以下 3 つの方法でプログラミングできます。

- 実行時自己プログラミング (RTSP) - ユーザ ソフトウェアから実行
- インサーキット シリアル プログラミング™ (ICSP™) - デバイスにシリアル接続して行います。RTSP よりも高速なプログラミングが可能です。
- EJTAG (Enhanced Joint Test Action Group) プログラミング - EJTAG 対応のプログラマとデバイスの EJTAG ポートを使って実行します。

本書では、RTSP による方法を説明します。ICSP と EJTAG による方法は、『PIC32 Flash Programming Specification』(DS60001145) で説明しています。この文書は Microchip 社のウェブサイト (www.microchip.com) からダウンロードできます。

5.2 制御レジスタ

フラッシュメモリのプログラミング / 消去動作は、以下の不揮発性メモリ (NVM) 制御レジスタを使って制御します。

- **NVMCON: NVM プログラミング制御レジスタ**
- **NVMKEY: NVM プログラミング ロック解除レジスタ**
- **NVMADDR: NVM フラッシュ アドレスレジスタ**
- **NVMDATA または NVMDATA0/1: NVM フラッシュ プログラミング データ レジスタ (1,2)**
- **NVMSRCADDR: NVM ソースデータ アドレスレジスタ**

表 5-1 に、フラッシュ プログラミングに関連する全てのレジスタをまとめます。各レジスタについては後述します。

表 5-1: フラッシュ コントローラ SFR のまとめ

レジスタ名	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
NVMCON ⁽¹⁾	31:24	—	—	—	—	—	—	—
	23:16	—	—	—	—	—	—	—
	15:8	WR	WREN	WRERR	LVDERR	LVDSTAT	NVMPIDL ⁽⁴⁾	—
	7:0	—	—	—	—	NVMOP<3:0>		
NVMKEY	31:24	NVMKEY<31:24>						
	23:16	NVMKEY<23:16>						
	15:8	NVMKEY<15:8>						
	7:0	NVMKEY<7:0>						
NVMADDR ⁽¹⁾	31:24	NVMADDR<31:24>						
	23:16	NVMADDR<23:16>						
	15:8	NVMADDR<15:8>						
	7:0	NVMADDR<7:0>						
NVMDATA ⁽²⁾	31:24	NVMDATA<31:24>						
	23:16	NVMDATA<23:16>						
	15:8	NVMDATA<15:8>						
	7:0	NVMDATA<7:0>						
NVMDATA0 ⁽³⁾	31:24	NVMDATA0<31:24>						
	23:16	NVMDATA0<23:16>						
	15:8	NVMDATA0<15:8>						
	7:0	NVMDATA0<7:0>						
NVMDATA1 ⁽³⁾	31:24	NVMDATA1<31:24>						
	23:16	NVMDATA1<23:16>						
	15:8	NVMDATA1<15:8>						
	7:0	NVMDATA1<7:0>						
NVMSRCADDR	31:24	NVMSRCADDR<31:24>						
	23:16	NVMSRCADDR<23:16>						
	15:8	NVMSRCADDR<15:8>						
	7:0	NVMSRCADDR<7:0>						

凡例: — = 未実装、「0」として読み出し

- Note 1:** このレジスタには対応するクリア / セット / 反転レジスタがあり、そのアドレスはそれぞれ 0x4/0x8/0xC バイトオフセットしています。これらのレジスタは、対応するレジスタの名前の後にそれぞれ「CLR」、「SET」、「INV」を追加した名前を持ちます (例: NVMCONCLR)。これらのレジスタの任意のビット位置に「1」を書き込むと、対応するレジスタの有効なビットがそれぞれクリア、セット、反転されます。これらのレジスタから読み出された値は無視します。
- 2:** ワードプログラミングを実装する PIC32 デバイスだけが実装しています (ダブルワードプログラミングは非対応)。
- 3:** ダブルワードプログラミングを実装する PIC32 デバイスだけが実装しています。
- 4:** 一部のデバイスだけが実装しています。詳細は各デバイスのデータシートを参照してください。

5.2.1 NVMCON レジスタ

NVMCON レジスタは、フラッシュメモリのプログラミング / 消去動作を制御します。このレジスタで消去とプログラミングのどちらかの動作を選択し、その実行にもこのレジスタを使います。NVMCON レジスタの下位バイトは、実行する NVM 動作のタイプを設定します。[レジスタ 5-1](#) に NVMCON レジスタを示します。

レジスタ 5-1: NVMCON: NVMプログラミング制御レジスタ

ビット 範囲	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
23:16	U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
	—	—	—	—	—	—	—	—
15:8	R/W-0, HC	R/W-0	R-0, HS	R-0, HS	R-0, HS, HC	R-0, HS	U-0	U-0
	WR	WREN ⁽¹⁾	WRERR ⁽²⁾	LVDERR ⁽²⁾	LVDSTAT ⁽²⁾	NVMPIDL ^(2,3)	—	—
7:0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
	—	—	—	—	NVMOP<3:0>			

<p>凡例:</p> <p>HS=ハードウェアセット可能ビット HC = ハードウェア クリア可能ビット</p> <p>R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し</p> <p>-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知</p>

bit 31-16 未実装: 「0」として読み出し

bit 15 **WR:** 書き込み制御ビット

このビットに書き込むには、WREN = 1にセットした後にロック解除シーケンスを実行する必要があります。

- 1 = フラッシュ動作を開始する。動作完了時、ハードウェアがこのビットをクリアする
- 0 = フラッシュ動作は完了した、またはフラッシュ動作中ではない

bit 14 **WREN:** 書き込みイネーブルビット⁽¹⁾

- 1 = WRビットへの書き込みを許可し、低電圧検出(LVD)回路を有効にする
- 0 = WRビットへの書き込みを禁止し、LVD回路を無効にする

bit 13 **WRERR:** 書き込みエラービット⁽²⁾

- このビットは読み出し専用であり、ハードウェアがセットします。
- 1 = プログラミングまたは消去シーケンスは正常に完了しなかった
- 0 = プログラミングまたは消去シーケンスは正常に完了した

bit 12 **LVDERR:** 低電圧検出エラービット(LVD回路が有効時のみ)⁽²⁾

- このビットは読み出し専用であり、ハードウェアがセットします。
- 1 = 低電圧イベントを検出した(WRERRがセットされた場合、データは破損した可能性がある)
- 0 = 電圧レベルは適正(プログラミングが可能)

bit 11 **LVDSTAT:** 低電圧検出ステータスビット(LVD回路が有効時のみ)⁽²⁾

- このビットは読み出し専用であり、ハードウェアが自動的にセットおよびクリアします。
- 1 = 現在低電圧イベントが発生している
- 0 = 現在低電圧イベントは発生していない

bit 10 **NVMPIDL:** アイドル時NVM給電停止イネーブルビット^(2,3)

- 1 = デバイスがアイドルに移行した時にフラッシュメモリへの給電を停止する
- 0 = アイドル中にフラッシュメモリへの給電を維持する

- Note 1:** このビットはデバイスリセットによってリセットされます。
- 2:** このビットは、NVMOP<3:0> = 0000 に設定してから WR ビットをセットしてフラッシュ動作を開始するとクリアされます。
- 3:** 一部のデバイスだけが実装しています。詳細は各デバイスのデータシートを参照してください。
- 4:** 動作は、NVMADDR で選択したページまたはアドレスが書き込み保護されていない場合のみ可能です。

セクション 5. フラッシュプログラミング

レジスタ 5-1: NVMCON: NVMプログラミング制御レジスタ (続き)

bit 9-4 未実装: 「0」として読み出し

bit 3-0 NVMOP<3:0>: NVM動作ビット

これらのビットはWREN = 0の時に書き込み可能です。

1111 = 予約済み

•

•

•

0111 = 予約済み

0110 = 動作なし

0101 = プログラム フラッシュメモリ(PFM)消去動作: 全てのページが書き込み保護されていない場合に PFMを消去する

0100 = ページ消去動作: NVMADDRで選択したページを消去する⁽⁴⁾

0011 = 行書き込み動作: NVMADDRで選択した行をプログラミングする⁽⁴⁾

0010 = ダブルワード書き込み動作: NVMADDRで選択したワードをプログラミングする^(3,4)

0001 = ワード書き込み動作: NVMADDRで選択したワードをプログラミングする^(3,4)

0000 = 動作なし

- Note 1:** このビットはデバイスリセットによってリセットされます。
- 2:** このビットは、NVMOP<3:0> = 0000 に設定してから WR ビットをセットしてフラッシュ動作を開始するとクリアされます。
- 3:** 一部のデバイスだけが実装しています。詳細は各デバイスのデータシートを参照してください。
- 4:** 動作は、NVMADDR で選択したページまたはアドレスが書き込み保護されていない場合のみ可能です。

5.2.2 NVMKEY レジスタ

NVMKEY レジスタは、フラッシュまたはEEPROM メモリの意図しない書き込み / 消去を防ぐために使う書き込み専用レジスタです。プログラミングまたは消去シーケンスを開始するには、以下の動作をこの順番通りに実行する必要があります。

1. NVMKEY に 0xAA996655 を書き込む
2. NVMKEY に 0x556699AA を書き込む

上記シーケンスを実行した直後の周辺バス トランザクションだけがNVMCON レジスタに書き込みます。多くの場合、NVMCON レジスタの WR ビットをセットするだけで、プログラミングまたは消去サイクルを開始できます。ロック解除シーケンスの実行中は、割り込みを無効にする必要があります。

レジスタ 5-2: NVMKEY: NVMプログラミングロック解除レジスタ

ビット 範囲	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
	NVMKEY<31:24>							
23:16	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
	NVMKEY<23:16>							
15:8	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
	NVMKEY<15:8>							
7:0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
	NVMKEY<7:0>							

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 31-0 **NVMKEY<31:0>**: NVM ロック解除レジスタビット

これらのビットは書き込み専用であり、読み出しは常に「0」を返します。

セクション 5. フラッシュプログラミング

5.2.3 NVMADDR レジスタ

NVM アドレスレジスタでは、フラッシュメモリのプログラミング位置 (行書き込みの場合は行を選択、ワード書き込みの場合はアドレスを指定) または消去するページアドレスを選択します。

Note: NVM アドレスレジスタには、フラッシュメモリの (仮想アドレスではなく) 物理アドレスを読み込む必要があります。

レジスタ 5-3: NVMADDR: NVMフラッシュ アドレスレジスタ

ビット 範囲	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NVMADDR<31:24>								
23:16	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NVMADDR<23:16>								
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NVMADDR<15:8>								
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NVMADDR<7:0>								

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 31-0 NVMADDR<31:0>: NVMフラッシュ アドレスビット
バルク/チップ/PFM消去: アドレスは無視されます。
ページ消去: アドレスは消去するページを指定します。
行書き込み: アドレスはプログラミングする行を指定します。
ワード書き込み: アドレスはプログラミングするワードを指定します。

5.2.4 NVMDATA レジスタ

NVM データ (NVMDATA) レジスタは、フラッシュワード書き込み動作中にプログラミングするデータを格納します。ワードと行のプログラミングのみ実装しているデバイスは、1つのレジスタ (NVMDATA) を実装しています。

ダブルワード プログラミングを実装しているデバイスは、2つのレジスタ (NVMDATA0 と NVMDATA1) を実装しています。これらのデバイスではダブルワード プログラミング動作中に書き込むデータの低位ワードに NVMDATA0 を使います。

レジスタ 5-4: NVMDATAまたはNVMDATA0/1: NVMフラッシュ プログラミング データ レジスタ^(1,2)

ビット 範囲	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NVMDATA<31:24> または NVMDATA0/1<31:24>								
23:16	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NVMDATA<23:16> または NVMDATA0/1<23:16>								
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NVMDATA<15:8> または NVMDATA0/1<15:8>								
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NVMDATA<7:0> または NVMDATA0/1<7:0>								

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 31-0 **NVMDATA<31:0>**: NVM フラッシュ プログラミング データビット
NVMDATA0<31:0>: NVM フラッシュ プログラミング データビット(低位ワード、一部のデバイスのみ)
NVMDATA1<31:0>: NVM フラッシュ プログラミング データビット(上位ワード、一部のデバイスのみ)

- Note 1:** 実装しているレジスタの名前と数はデバイスにより異なります。詳細は各デバイスのデータシートを参照してください。
2: このレジスタはパワーオン リセット (POR) 時にのみリセットされます。

セクション 5. フラッシュ プログラミング

5.2.5 NVMSRCADDR レジスタ

行書き込み動作を実行する場合、NVM ソースデータ アドレスレジスタで SRAM 内のソースデータ バッファアドレスを選択します。

Note: アドレスはワード境界を指す必要があります。

レジスタ 5-5: NVMSRCADDR: NVMソースデータ アドレスレジスタ

ビット 範囲	Bit 31/23/15/7	Bit 30/22/14/6	Bit 29/21/13/5	Bit 28/20/12/4	Bit 27/19/11/3	Bit 26/18/10/2	Bit 25/17/9/1	Bit 24/16/8/0
31:24	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NVMSRCADDR<31:24>								
23:16	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NVMSRCADDR<23:16>								
15:8	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NVMSRCADDR<15:8>								
7:0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
NVMSRCADDR<7:0>								

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 31-0 **NVMSRCADDR<31:0>**: NVMソースデータ アドレスビット

このビットは、NVMOP<3:0>ビット(NVMCON<3:0>)を行書き込み向けに設定した場合、フラッシュにプログラミングするソースデータのシステム物理アドレスを指定します。

5.3 実行時自己プログラミング (RTSP)動作

実行時自己プログラミング (RTSP) を使うと、ユーザコードからフラッシュ プログラムメモリの内容を書き換える事ができます。デバイスのフラッシュメモリは、2つの論理フラッシュパーティション (プログラムフラッシュメモリ (PFM) とブートフラッシュメモリ (BFM)) に分割されます。ブートフラッシュメモリの末尾ページはデバッグページを格納します。このページはデバッグ中にデバッグツールが使うために予約済みです。

PIC32 のプログラムフラッシュ配列は、一連の行が1ページを構成します。行とページのサイズを判断するには、各デバイスデータシート内の「フラッシュプログラムメモリ」を参照してください。例えば、1行は128個の32ビット命令ワードまたは512バイトを格納します。1ページは8行で構成され、従って、 $8 \times 512 = 4096$ バイトまたは1024個の命令ワードを格納します。1ページは、一度に消去できるフラッシュメモリの最小単位です。プログラムフラッシュ配列は、以下のどちらかの方法でプログラミングできます。

- ワード書き込み：一度に1命令ワードを書き込む (ほとんどのデバイスで可能)
- ダブルワード書き込み：一度に2命令ワードを書き込む (一部のデバイスでのみ可能)
- 行書き込み：一度に64または128命令ワードを書き込む

プログラムフラッシュメモリから命令を実行 (フェッチ) している時に RTSP 動作を実行すると、CPU はプログラミング動作が終了するまでストール (待機) します。この間、CPU は命令を一切実行せず、割り込みにも応答しません。プログラミングサイクル中に発生した割り込みは、サイクルが終了するまで保留されます。

RAM メモリから命令を実行 (フェッチ) している場合、RTSP 動作を実行しても CPU は命令を実行し続け、割り込みにも応答できます。RTSP 動作中に実行するコードは、RAM メモリに格納する必要があります。これには、関連する割り込みベクタと、割り込みサービスルーチン (ISR) 命令を含みます。

Note: フラッシュの消去およびプログラミング動作には、最小 VDD 要件が定められています。詳細は各デバイスデータシート内の「電気的特性」を参照してください。

5.4 ロック機能

5.4.1 NVM WREN

プログラム フラッシュに対する意図しない書き込みを防ぐため、デバイスは複数の仕組みを備えています。ソフトウェアによるプログラム フラッシュへの書き込みを行わない場合、WREN ビット (NVMCON<14>) をゼロに設定しておく必要があります。WREN = 1 に設定すると、フラッシュ書き込み制御ビット WR (NVMCON<15>) が書き込み可能となり、フラッシュ LVD 回路は有効になります。

5.4.2 NVMKEY

WR ビット (NVMCON<15>) をセットするには、WREN ビットをセットしてから、ロック解除シーケンスを実行する必要があります。ロック解除シーケンスを実行した直後の周辺バス トランザクション (読み出しまたは書き込み) で WR ビットをセットする必要があります。この時セットしなかった場合、WR ビットはロックされてしまうため、ロック解除シーケンスを再度実行する必要があります。

5.4.3 ロック解除シーケンス

フラッシュ動作のロックを解除するには、手順 4 ~ 8 をこの順番通りに実行します。この順番を守らないと WR ビットはセットされません。

1. 周辺バスにアクセスでき、ロック解除シーケンスに割り込む可能性のある全ての要因 (例: DMA、割り込み) を停止または無効にする。
2. 1 回のストア命令で、WREN ビット (NVMCON<14>) をセットして WR ビットを書き込み可能にすると同時に NVMOP<3:0> ビット (NVMCON<3:0>) を必要な動作向けに設定する。
3. LVD が起動するまで待機する。
4. CPU レジスタ X に 0xAA996655 を読み込む。
5. CPU レジスタ Y に 0x556699AA を読み込む。
6. CPU レジスタ Z に 0x00008000 を読み込む。
7. CPU レジスタ X を NVMKEY にストアする。
8. CPU レジスタ Y を NVMKEY にストアする。
9. CPU レジスタ Z を NVMCONSET にストアする。
10. WR ビット (NVMCON<15>) がクリアされるまで待機する。
11. WREN ビット (NVMCON<14>) をクリアする。
12. プログラミング / 消去シーケンスが正常に終了したどうかを、WRERR (NVMCON<13>) ビットと LVDERR (NVMCON<12>) ビットで確認する。

WR ビットがセットされると、プログラミング / 消去シーケンスが始まります。このシーケンス中、CPU はフラッシュメモリからコードを実行できません。

例 5-1: ロック解除のサンプルコード

```
unsigned int  NVMUnlock (unsigned int nvmop)
{
    unsigned int  status;

    // Suspend or Disable all Interrupts
    asm          volatile ("di %0" : "=r" (status));

    // Enable Flash Write/Erase Operations and Select
    // Flash operation to perform
    NVMCON = nvmop;

    // Write Keys
    NVMKEY = 0xAA996655;
    NVMKEY = 0x556699AA;

    // Start the operation using the Set Register
    NVMCONSET = 0x8000;

    // Wait for operation to complete
    while (NVMCON & 0x8000);

    // Restore Interrupts
    if (status & 0x00000001)
        asm          volatile ("ei");
    else
        asm          volatile ("di");

    // Disable NVM write enable
    NVMCONCLR = 0x0004000;

    // Return WRERR and LVDERR Error Status Bits
    return (NVMCON & 0x3000);
}
```

5.5 ワード書き込みシーケンス

1回の動作でプログラミングできるデータの最小ブロックは、1ワード(32ビット)です。プログラミングシーケンスを始める前に、プログラミングするデータを NVMDATA レジスタに書き込み、そのワードのプログラミング先アドレスを NVMADDR レジスタに読み込む必要があります。これにより、NVMADDR レジスタで指定したアドレス位置に命令ワードがプログラミングされます。

プログラミングシーケンスの手順は以下の通りです。

1. プログラムする 32 ビットデータを NVMDATA レジスタに書き込む。
2. NVMADDR レジスタにプログラミング先のアドレスを読み込む。
3. ワード書き込みコマンドを使ってロック解除シーケンスを実行する ([セクション 5.4.3 「ロック解除シーケンス」](#) 参照)。

プログラミングシーケンスが完了すると、ハードウェアが WR ビット (NVMCON<15>) をクリアします。

例 5-2: ワード書き込みのサンプルコード

```
unsigned int NVMWriteWord (void* address, unsigned int data)
{
    unsigned int res;

    // Load data into NVMDATA register
    NVMDATA = data;
    // Load address to program into NVMADDR register
    NVMADDR = (unsigned int) address;
    // Unlock and Write Word
    res = NVMUnlock (0x4001);
    // Return Result
    return res;
}
```

5.6 ダブルワード書き込みシーケンス

ダブルワード書き込みシーケンスは基本的にワード書き込みシーケンスと同じですが、データを2つの NVMDATA レジスタに書き込む点が異なります。ダブルワードの場合、データの下のワードを NVMDATA0、上位ワードを NVMDATA1 に書き込みます。

プログラミングシーケンスの手順は以下の通りです。

1. プログラムする 64 ビットデータを NVMDATA0 および NVMDATA1 レジスタに書き込む。
2. NVMADDR レジスタにプログラミング先のアドレスを読み込む。
3. ワード書き込みコマンドを使ってロック解除シーケンスを実行する ([セクション 5.4.3 「ロック解除シーケンス」](#) 参照)。

プログラミングシーケンスが完了すると、ハードウェアが WR ビット (NVMCON<15>) をクリアします。

例 5-3: ワード書き込みのサンプルコード

```
unsigned int NVMWriteWord (void* address, unsigned int data)
{
    unsigned int res;

    // Load data into NVMDATA register
    NVMDATA0 = data_l;
    NVMDATA1 = data_h;
    // Load address to program into NVMADDR register
    NVMADDR = (unsigned int) address;
    // Unlock and Write Word
    res = NVMUnlock (0x4010);
    // Return Result
    return res;
}
```

5.7 行書き込みシーケンス

一度にプログラミング可能なデータの最大ブロックは1行(512バイト)です(行のサイズを判断するには、各デバイス データシート内の「フラッシュ プログラム メモリ」を参照してください)。最初に、プログラミングするデータ行を、SRAM 内のバッファに読み込む必要があります。次に、NVMADDR レジスタでフラッシュ アドレスを指定します。フラッシュ コントローラは、この位置からデータ行のプログラミングを始めます。

Note: フラッシュ コントローラはアドレスの下位ビットを無視して常に行の先頭からプログラミングを始めます。

行書き込みシーケンスの手順は以下の通りです。

1. プログラミングする行全体のデータをシステム SRAM に書き込む。ソースアドレスはワード境界を指す必要がある。
2. NVMADDR レジスタに、プログラミング先フラッシュ行の先頭アドレスを設定する。
3. NVMSRCADDR レジスタに、手順1の物理ソースアドレスを設定する。
4. 行書き込みコマンドを使ってロック解除シーケンスを実行する(セクション5.4.3「ロック解除シーケンス」参照)。
5. プログラミングシーケンスが完了すると、ハードウェアがWR ビット(NVMCON<15>)をクリアする。

例 5-4: 行書き込みのサンプルコード

```
unsigned int NVMWriteRow (void* address, void* data)
{
    unsigned int res;

    // Set NVMADDR to Start Address of row to program
    NVMADDR = (unsigned int) address;
    // Set NVMSRCADDR to the SRAM data buffer Address
    NVMSRCADDR = (unsigned int) data;
    // Unlock and Write Row
    res = NVMUnlock(0x4003);
    // Return Result
    return res;
}
```

5.8 ページ消去シーケンス

ページ消去は、PFM または BFM の 1 ページを消去します。ページサイズは、各デバイスのデータシートを参照してください。消去するページは、NVMADDR レジスタで選択します。

Note: ページの選択では、アドレスの下位ビットは無視されます。

フラッシュのページは、対応する書き込み保護が無効になっている場合にのみ消去できます。

- 全てのBFMページは、ブート書き込み保護コンフィグレーションビットにより保護されます。
- 全ての PFM ページは、プログラム フラッシュ書き込み保護コンフィグレーションビットにより保護されます。

消去されるページからアプリケーションを実行していない必要があります。

ページ消去シーケンスの手順は以下の通りです。

1. NVMADDR レジスタに、消去するページのアドレスを設定する。
2. ページ消去コマンドを使ってロック解除シーケンスを実行する ([セクション 5.4.3「ロック解除シーケンス」](#)参照)。
3. 消去シーケンスが完了すると、ハードウェアがWRビット(NVMCON<15>)をクリアする。

例 5-5: ページ消去のサンプルコード

```
unsigned int NVMErasePage(void* address)
{
    unsigned int res;

    // Set NVMADDR to the Start Address of page to erase
    NVMADDR = (unsigned int) address;
    // Unlock and Erase Page
    res = NVMUnlock(0x4004);
    // Return Result
    return res;
}
```

5.9 プログラム フラッシュメモリ消去シーケンス

PFM 領域の全体を消去できます。このモードはブートフラッシュを消去せずにそのまま残します。フィールド アップグレードが可能なデバイス用に使います。

プログラム フラッシュ内の全てのページが書き込み保護されていない場合にのみ PFM 領域を消去できます。

Note: PFM アドレス領域からアプリケーションを実行していない必要があります。

PFM 消去シーケンスの手順は以下の通りです。

1. プログラム フラッシュメモリ消去コマンドを使ってロック解除シーケンスを実行する ([セクション 5.4.3「ロック解除シーケンス」](#)参照)。
2. 消去シーケンスが完了すると、ハードウェアがWRビット(NVMCON<15>)をクリアする。

例 5-6: プログラム フラッシュ消去のサンプルコード

```
unsigned int NVMErasePFM(void)
{
    unsigned int res;

    // Unlock and Erase Program Flash
    res = NVMUnlock(0x4005);
    // Return Result
    return res;
}
```

5.10 省電力モードおよびデバッグモード中の動作

5.10.1 スリープ中の動作

PIC32 がスリープに移行すると、システムクロックは無効になります。フラッシュ コントローラは、スリープ中に機能しません。NVM 動作中にスリープへの移行が発生した場合、デバイスは NVM 動作が完了してからスリープに移行します。

5.10.2 アイドル中の動作

プログラミング動作中である場合、アイドルはフラッシュ コントローラ モジュールに影響しません。プログラミング動作が完了するまで、CPU はストール状態です。

一部の PIC32 デバイスではアイドルモード中のプログラムメモリの挙動を制御できます。これにより、複数レベルの省電力設定が可能です。デバイスがアイドルモードに移行した時のフラッシュへの給電を NVMPIDL ビット (NVMCON<10>) で以下のように設定します。NVMPIDL が '1' の場合、フラッシュ プログラムメモリへの給電を停止します。NVMPIDL が '0' の場合、フラッシュ プログラムメモリへの給電を維持します。

5.10.3 デバッグモード中の動作

フラッシュ コントローラはデバッグフリーズ機能を備えていないため、プログラミング動作中である場合、デバッグモードはフラッシュ コントローラ モジュールに影響しません。プログラミング動作が完了するまで、CPU はストール状態です。通常のプログラミング シーケンスを中断した場合、デバイスがラッチアップする可能性があります。唯一の例外として、EEKEY ロック解除シーケンスはデバッグモード中に無視されます。このためユーザは、ロック解除シーケンスをシングルステップ実行できます。

5.11 各種リセットの影響

5.11.1 デバイスリセット

NVMCON レジスタの WREN および LVDSTAT ビットだけがデバイスリセット時にリセットされます。その他の SFR ビットは POR 時にのみリセットされます。ただし NVMKEY レジスタの状態はデバイスリセット時にリセットされます。

5.11.2 パワーオン リセット

全てのフラッシュ コントローラ レジスタは、POR 時にそれぞれのリセット状態に戻されます。

5.11.3 ウォッチドッグ タイマ リセット

全てのフラッシュ コントローラ レジスタは、ウォッチドッグ タイマリセット時に変更されません。

5.12 割り込み

フラッシュ コントローラは、プログラミング動作中に発生したイベントに対応して、以下の割り込みを生成できます。

- フラッシュ制御イベント割り込みフラグ (FCEIF)

この割り込みフラグはソフトウェアでクリアする必要があります。以下のビットにより、フラッシュ コントローラを割り込み要因として有効にできます。

- フラッシュ コントローラ イベント割り込みイネーブル (FCEIE)

以下の割り込み優先度レベル (IPL) ビットと、割り込み副優先度レベルビットを設定する必要があります。

- FCEIP<2:0>
- FCEIS<1:0>

詳細は『PIC32 ファミリ リファレンス マニュアル、セクション 8. 割り込み』(DS60001108) を参照してください。

5.12.1 割り込みの設定

フラッシュ コントローラ モジュールは、専用の割り込みフラグビット (FCEIF) と、割り込みイネーブル/マスクビット (FCEIE) を備えます。

前者は割り込みの要因を特定するために使い、後者は個々の割り込み要因を有効または無効にするために使います。特定のフラッシュ コントローラ モジュールに関する全ての割り込み要因は、1つの割り込みベクタを共有します。

FCEIF ビットは、対応するイネーブルビットの状態に関係なくセットされます。必要に応じてこのビットをソフトウェアでポーリングできます。

FCEIE ビットは、対応する FCEIF ビットがセットされた時のベクタ割り込みコントローラ (VIC) の挙動を定義するために使います。FCEIE ビットがクリアされている場合、対応する FCEIF ビットがセットされても、VIC モジュールは CPU 割り込みを生成しません。FCEIE ビットがセットされている場合、対応する FCEIF ビットがセットされると、VIC モジュールは対応する CPU 割り込みを生成します (後述の優先度と副優先度に従う)。

割り込みをサービスするユーザ ソフトウェア ルーチンは、サービスルーチンを完了する前に適切な割り込みフラグビットをクリアする必要があります。

フラッシュ コントローラ モジュールの割り込み優先度は、FCEIP<2:0> ビットを使って個別に設定できます。この優先度は、割り込み要因をどの優先度グループに割り当てるのかを定義します。各優先度グループは 7 (最優先) から 0 (割り込みを生成しない) の優先度を持ちます。ある割り込みをサービスしている時に、より高い優先度グループに属する割り込みが発生した場合、サービス中の割り込みは保留されます。

副優先度ビットにより、同一優先度グループに属する割り込み要因に異なる優先度を設定できます。副優先度ビットの値 (FCEIS<1:0>) は、3 (最優先) から 0 (最低優先度) の間で設定できます。ある割り込みのサービス中に、優先度グループが同じで副優先度がより高い割り込みが発生しても、サービス中の副優先度の低い割り込みは保留されません。

複数の割り込み要因に同一の優先度と副優先度を割り当てる事ができます。そのように設定した複数の割り込みが同時に発生した場合、それらの各割り込み要因が持つ自然順序優先度によって、生成される割り込みが決まります。自然順序優先度は、割り込み要因のベクタ番号に基づきます。ベクタ番号が小さいほど、割り込みの自然順序優先度が高くなります。自然順序優先度に従って保留された割り込み要因は、サービス中の割り込みの割り込みフラグがクリアされた後に、優先度、副優先度、自然順序優先度に基づいて、それぞれ割り込みを生成します。

有効にされている割り込みが発生すると、CPU は、その割り込みに割り当てられているベクタへジャンプします。割り込みのベクタ番号がそのまま自然優先順位となります。CPU はベクタアドレスからコードの実行を始めます。このベクタアドレスから始まるユーザコードは、任意のアプリケーション動作を実行し、FCEIF 割り込みフラグをクリアしてから、終了する必要があります。

割り込みとベクタアドレステーブルの詳細は『PIC32 ファミリ リファレンス マニュアル、セクション 8. 割り込み』(DS60001108) と、デバイス データシート内の「割り込みコントローラ」を参照してください。

5.13 関連アプリケーションノート

本セクションに関連するアプリケーションノートの一覧を以下に記載します。これらのアプリケーションノートは PIC32 ファミリ向けではありません。ただし概念は共通しており、変更が必要であったり制限事項が存在するものの利用が可能です。フラッシュ プログラミングに関連する最新のアプリケーションノートは以下の通りです。

タイトル	アプリケーションノート番号
現在、関連するアプリケーションノートはありません。	該当なし

Note: PIC32 ファミリに関するこの他のアプリケーション ノートとサンプルコードは、Microchip 社のウェブサイト (www.microchip.com) をご覧ください。

5.14 改訂履歴

リビジョン A (2007 年 9 月)

本書は初版です。

リビジョン B (2007 年 10 月)

機密扱いのステータスを解除して内容を更新しました。

リビジョン C (2008 年 4 月)

ステータスを「Preliminary」に変更し、「U-0」を「r-x」に変更しました。

リビジョン D (2008 年 6 月)

レジスタ 5-1 の bit 14 NVMWREN を変更しました。レジスタ 5-12 ~ 5-14 に Note 1 を追加しました。セクション 5.3 に Note を追加しました。セクション 5.4.1 を変更しました。例 5-1 を変更しました。予約済みビットの「Maintain as」を「Write」に変更しました。

リビジョン E (2010 年 12 月)

このリビジョンでの変更内容は以下の通りです。

- 文章および体裁の変更等、本書全体の細部を修正しました。
- 以下の箇所にクリア、セット、反転レジスタに関する Note 1、2、3 を追加しました。
 - 表 5-1: フラッシュ コントローラ SFR のまとめ
 - レジスタ 5-1: NVMCON: NVM プログラミング制御レジスタ (1,2,3)
 - レジスタ 5-3: NVMADDR: NVM フラッシュ アドレスレジスタ (1,2,3)
- クリア、セット、反転レジスタに関する説明を全て削除しました。
- 割り込みレジスタの説明を全て削除しました。
- NVMCON レジスタの以下のビット名を文書全体で変更しました。
 - NVMWR を WR に変更しました。
 - NVMWREN を WREN に変更しました。
 - NVMERR を WRERR に変更しました。
- セクション 5.3「実行時自己プログラミング (RTSP) 動作」の第 3 段落を更新し、新たに第 4 段落を追加しました。
- フラッシュ動作のロック解除シーケンスの説明を更新し、手順 3 を追加しました (セクション 5.4.3「ロック解除シーケンス」参照)。
- ロック解除のサンプルコード (例 5-1 参照) を更新しました。
- 表 5-3 を削除しました。

リビジョン F (2012 年 7 月)

このリビジョンでの変更内容は以下の通りです。

- フラッシュ コントローラ SFR レジスタのまとめの Note 1 を更新し、Note 2 と 3 を削除しました (表 5-1 参照)。
- NVMCON レジスタを更新しました (レジスタ 5-1 参照)。
- NVMADDR の Note 1、2、3 を削除しました (レジスタ 5-3 参照)。
- セクション 5.3「実行時自己プログラミング (RTSP) 動作」の第 2 段落を更新しました。
- セクション 5.7「行書き込みシーケンス」の第 1 段落を更新しました。
- セクション 5.8「ページ消去シーケンス」の第 1 段落を更新しました。
- 文章および体裁の変更等、本書全体の細部を修正しました。

リビジョン S (2016 年 3 月)

ダブルワード書き込みを追加しました。

- NVMCON<10> に NVMPIDL ビットと対応する Note を追加しました。
NVMCON<3:0> にダブルワード書き込みと対応する Note を追加しました。
- 表 5-1 にレジスタ NVMDATA0 と 1 を追加しました。
- セクション 5.2.4 「NVMDATA レジスタ」を更新し、レジスタ NVMDATA0 と 1 の説明を追加しました。
- セクション 5.3 「実行時自己プログラミング (RTSP) 動作」を更新し、ダブルワード書き込みに関する説明を追加しました。
- セクション 5.6 「ダブルワード書き込みシーケンス」を追加しました。これに従い、続くセクションの番号を順送りしました。
- セクション 5.10.2 「アイドル中の動作」に NVMPIDL ビットの機能の説明を追加しました。
- その他、本書全体で細かい誤植を訂正しました。

Microchip社製デバイスのコード保護機能に関して以下の点にご注意ください。

- Microchip社製品は、該当するMicrochip社データシートに記載の仕様を満たしています。
- Microchip社では、通常の条件ならびに仕様に従って使用した場合、Microchip社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- しかし、コード保護機能を解除するための不正かつ違法な方法が存在する事もまた事実です。弊社の理解では、こうした手法はMicrochip社データシートにある動作仕様書以外の方法でMicrochip社製品を使用する事になります。このような行為は知的財産権の侵害に該当する可能性が非常に高いと言えます。
- Microchip社は、コードの保全性に懸念を抱くお客様と連携し、対応策に取り組んでいきます。
- Microchip社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip社が製品を「解読不能」として保証するものではありません。

コード保護機能は常に進歩しています。Microchip社では、常に製品のコード保護機能の改善に取り組んでいます。Microchip社のコード保護機能の侵害は、デジタル ミレニアム著作権法に違反します。そのような行為によってソフトウェアまたはその他の著作物に不正なアクセスを受けた場合、デジタル ミレニアム著作権法の定めるところにより損害賠償訴訟を起こす権利があります。

本書に記載されているデバイス アプリケーション等に関する情報は、ユーザの便宜のためにのみ提供されているものであり、更新によって無効とされる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。Microchip社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。Microchip社は、本書の情報およびその使用に起因する一切の責任を否認します。Microchip社の明示的な書面による承認なしに、生命維持装置あるいは生命安全用途にMicrochip社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip社は擁護され、免責され、損害をうけない事に同意するものとします。暗黙的あるいは明示的を問わず、Microchip社が知的財産権を保有しているライセンスは一切譲渡されません。

Microchip社では、ChandlerおよびTempe(アリゾナ州)、Gresham(オレゴン州)の本部、設計部およびウェハ製造工場そしてカリフォルニア州とインドのデザインセンターがISO/TS-16949:2009認証を取得しています。Microchip社の品質システムプロセスおよび手順は、PIC® MCUおよびdsPIC® DSC、KEELOQ®コードホッピングデバイス、シリアルEEPROM、マイクロベリフェラル、不揮発性メモリ、アナログ製品に採用されています。さらに、開発システムの設計と製造に関するMicrochip社の品質システムはISO 9001:2000認証を取得しています。

QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
== ISO/TS 16949 ==

商標

Microchip社の名称とロゴ、Microchipロゴ、AnyRate、dsPIC、FlashFlex、flexPWR、Heldo、JukeBlox、KeeLoq、KeeLoqロゴ、Kleer、LANCheck、LINK MD、MediaLB、MOST、MOSTロゴ、MPLAB、OptoLyzer、PIC、PICSTART、PIC32ロゴ、RightTouch、SpyNIC、SST、SSTロゴ、SuperFlash、UNI/Oは、米国およびその他の国におけるMicrochip Technology Incorporatedの登録商標です。

ClockWorks、The Embedded Control Solutions Company、ETHERSYNCH、Hyper Speed Control、HyperLight Load、IntelliMOS、mTouch、Precision Edge、QUIET-WIREは、米国におけるMicrochip Technology Incorporated社の登録商標です。

Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、BodyCom、chipKIT、chipKITロゴ、CodeGuard、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、EtherGREEN、In-Circuit Serial Programming、ICSP、Inter-Chip Connectivity、JitterBlocker、KleerNet、KleerNetロゴ、MiWi、motorBench、MPASM、MPF、MPLAB Certifiedロゴ、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICkit、PICtail、PureSilicon、RightTouchロゴ、REAL ICE、Ripple Blocker、Serial Quad I/O、SQI、SuperSwitcher、SuperSwitcher II、Total Endurance、TSHARC、USBCheck、VariSense、ViewSpan、WiperLock、Wireless DNA、ZENAは米国およびその他の国におけるMicrochip Technology Incorporatedの商標です。

SQTPは、米国におけるMicrochip Technology Incorporatedのサービスマークです。

Silicon Storage Technologyは、その他の国におけるMicrochip Technology Inc.の登録商標です。

GestICとULPPはその他の国におけるMicrochip Technology Inc.の子会社であるMicrochip Technology Germany II GmbH & Co. & KGの登録商標です。

その他本書に記載されている商標は各社に帰属します。

© 2007-2016, Microchip Technology Incorporated, Printed in the U.S.A., All Rights Reserved.

ISBN: 978-1-5224-1179-6



MICROCHIP

各国の営業所とサービス

南北アメリカ

本社
2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200
Fax: 480-792-7277
技術サポート:
<http://www.microchip.com/support>
URL:
www.microchip.com

アトランタ
Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

オースティン、TX
Tel: 512-257-3370

ボストン
Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

シカゴ
Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

クリーブランド
Independence, OH
Tel: 216-447-0464
Fax: 216-447-0643

ダラス
Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

デトロイト
Novi, MI
Tel: 248-848-4000

ヒューストン、TX
Tel: 281-894-5983

インディアナポリス
Noblesville, IN
Tel: 317-773-8323
Fax: 317-773-5453

ロサンゼルス
Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608

ニューヨーク、NY
Tel: 631-435-6000

サンノゼ、CA
Tel: 408-735-9110

カナダ - トロント
Tel: 905-673-0699
Fax: 905-673-6509

アジア/太平洋

アジア太平洋支社
Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon

Hong Kong
Tel: 852-2943-5100
Fax: 852-2401-3431

オーストラリア - シドニー
Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

中国 - 北京
Tel: 86-10-8569-7000
Fax: 86-10-8528-2104

中国 - 成都
Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重慶
Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 東莞
Tel: 86-769-8702-9880

中国 - 杭州
Tel: 86-571-8792-8115
Fax: 86-571-8792-8116

中国 - 香港SAR
Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 南京
Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青島
Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海
Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 瀋陽
Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳
Tel: 86-755-8864-2200
Fax: 86-755-8203-1760

中国 - 武漢
Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安
Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

アジア/太平洋

中国 - 厦門
Tel: 86-592-2388138
Fax: 86-592-2388130

中国 - 珠海
Tel: 86-756-3210040
Fax: 86-756-3210049

インド - バンガロール
Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

インド - ニューデリー
Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

インド - プネ
Tel: 91-20-3019-1500

日本 - 大阪
Tel: 81-6-6152-7160
Fax: 81-6-6152-9310

日本 - 東京
Tel: 81-3-6880-3770
Fax: 81-3-6880-3771

韓国 - 大邱
Tel: 82-53-744-4301
Fax: 82-53-744-4302

韓国 - ソウル
Tel: 82-2-554-7200
Fax: 82-2-558-5932または
82-2-558-5934

マレーシア - クアラルンプール
Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

マレーシア - ペナン
Tel: 60-4-227-8870
Fax: 60-4-227-4068

フィリピン - マニラ
Tel: 63-2-634-9065
Fax: 63-2-634-9069

シンガポール
Tel: 65-6334-8870
Fax: 65-6334-8850

台湾 - 新竹
Tel: 886-3-5778-366
Fax: 886-3-5770-955

台湾 - 高雄
Tel: 886-7-213-7828

台湾 - 台北
Tel: 886-2-2508-8600
Fax: 886-2-2508-0102

タイ - バンコク
Tel: 66-2-694-1351
Fax: 66-2-694-1350

ヨーロッパ

オーストリア - ヴェルス
Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

デンマーク - コペンハーゲン
Tel: 45-4450-2828
Fax: 45-4485-2829

フランス - パリ
Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

ドイツ - デュッセルドルフ
Tel: 49-2129-3766400

ドイツ - カールスルーエ
Tel: 49-721-625370

ドイツ - ミュンヘン
Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

イタリア - ミラノ
Tel: 39-0331-742611
Fax: 39-0331-466781

イタリア - ヴェニス
Tel: 39-049-7625286

オランダ - ドリユネン
Tel: 31-416-690399
Fax: 31-416-690340

ポーランド - ワルシャワ
Tel: 48-22-3325737

スペイン - マドリッド
Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

スウェーデン - ストックホルム
Tel: 46-8-5090-4654

イギリス - ウォーキングム
Tel: 44-118-921-5800
Fax: 44-118-921-5820

2015/07/14